

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-289253

(43)公開日 平成11年(1999)10月19日

(51)Int.Cl.⁵
H 0 3 L 7/095

識別記号

F I
H 0 3 L 7/08

B

審査請求 有 請求項の数 4 O L (全 7 頁)

(21)出願番号 特願平10-90146

(22)出願日 平成10年(1998)4月2日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 菅野 浩

東京都港区芝五丁目7番1号 日本電気株式会社内

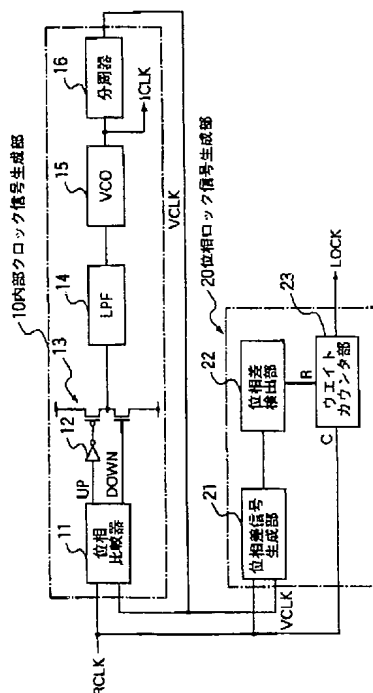
(74)代理人 弁理士 稲垣 清

(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 ノイズ等に起因する不必要な位相ロック信号の解除を防止することにより、機能ブロックのスループットの低下を防止するPLL回路を提供する。

【解決手段】 位相ロック信号生成部２０は、基準クロック信号ＲＣＬＫと内部クロック信号ＩＣＬＫの位相差信号を発生する位相差信号生成部２１と、位相差信号に所定間隔で連続して位相ずれが２回発生すると、位相ロック信号ＬＯＣＫの解除を指示する信号を発生する位相ずれ検出部２２と、位相ずれ検出部２２の出力によって制御され、位相ロック信号ＬＯＣＫを解除する待機時間カウンタ部２３とを有する。



【特許請求の範囲】

【請求項1】 基準周波数を有する基準クロック信号に基づいて、前記基準周波数と所定の比率関係にある周波数を有する内部クロック信号を生成するPLL回路において、

前記基準クロック信号の位相と、前記内部クロック信号又は該内部クロック信号と同期する比較クロック信号の位相とを所定の時間間隔毎に比較し、双方の位相が一致すると位相一致信号を発生すると共に、双方の位相にずれを検出すると位相ずれ信号を発生する位相ずれ検出部と、

前記位相一致信号に応答して位相ロック信号を発生し、前記位相ずれ信号が複数回連続して発生すると前記位相ロック信号を解除する位相ロック信号発生手段とを備えることを特徴とするPLL回路。

【請求項2】 前記位相ロック信号発生手段は、前記位相一致信号が発生した後に所定の時間が経過すると前記位相ロック信号を発生する、請求項1に記載のPLL回路。

【請求項3】 前記位相ずれ検出部は、所定期間隔でアクティブになる複数の位相ずれ検出用クロック信号に基づいて、前記連続する複数回の位相ずれを検出する、請求項1又は2に記載のPLL回路。

【請求項4】 前記所定期間隔は、前記基準クロック信号又は内部クロック信号のクロック周期に基づいて定められる、請求項3に記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、位同期回路（PLL回路）に関し、更に詳しくは、PLL回路の位相ロック信号生成部の構造に関する。

【0002】

【従来の技術】PLL回路は、例えば半導体装置に配置され、外部から入力される基準周波数を持つ基準クロック信号から、その基準クロック信号と同期し、且つ、基準周波数と所定の比率関係にある周波数を持つ内部クロック信号を生成する。PLL回路では、電源が投入されると動作を開始し、過渡期間が終了して基準クロック信号と同期した所定の内部クロック信号が得られると、その旨を示す位相同期信号（位相ロック信号）を発生する。半導体装置内に配設され、内部クロック信号を利用する各機能ブロックは、位相ロック信号を受領した後に、内部クロック信号の利用による信号処理を開始する。

【0003】図5は、特開平8-316832号公報に記載された従来のPLL回路を示す。PLL回路は、内部クロック信号生成部31と、位相ロック信号生成部38とを備え、外部から入力する基準クロック信号RCLKの位相と、内部クロック信号生成部30で生成された比較クロック信号VCLKの位相とを位相比較回路32

で比較し、基準クロック信号RCLKと内部クロック信号ICLKとの間の位相差が所定範囲内に収まると、位相ロック信号生成部38で位相ロック信号LOCKを発生する。

【0004】内部クロック信号生成部31では、位相比較回路32の一对の出力であるUP出力及びDOWN出力が、チャージポンプ回路33に入力され、チャージポンプ回路33の出力電位を制御する。チャージポンプ回路33の出力は、低域通過フィルタ（LPF）34を経由して電圧制御発振器（VCO）35に入力されて、その出力である内部クロック信号ICLKの周波数を制御する。内部クロック信号ICLKは所定の設定値を有するカウンタ36でカウントされ、そのカウント結果が、前記比較クロック信号として位相比較器32にフィードバックされる。カウンタ36の設定値は、基準周波数と内部クロック信号ICLKの周波数との比率で定められ、基準周波数と比較クロック信号VCLKの周波数とを同じ値にする。

【0005】PLL回路に電源が投入された直後は、基準クロック信号RCLKと内部クロック信号ICLKとは非同期であり、PLL回路は同期に向けて動作を開始する。位相比較器32は、基準周クロック信号RCLKの立上り位相RHと比較クロック信号VCLKの立上り位相VHとを比較し、RHが進んでいれば、出力UP及び出力DOWNをいずれも“L”にし、チャージポンプ33の出力を上げて比較クロック信号VCLKの周波数を上げる。また、RHが遅れていれば出力UP及び出力DOWNをいずれも“H”にして、チャージポンプ33の出力を下げて比較クロック信号VCLKの周波数を下げる。このようにして、双方の信号の位相差を0にするように同期動作を行う。双方の信号が同期し、その間の位相差が0になると、位相比較器32は、出力UPを“H”に出力DOWNを“L”にして、チャージポンプ33の出力をそのまま固定する。これにより、双方のクロック信号RCLK、VCLKは同期を維持する。

【0006】位相ロック信号生成部38では、位相比較器32の出力UPが“H”に、出力DOWNが“L”になると、ANDゲート71の出力が“H”になり、その出力が多段に縦続接続されたフリップフロップFF1～FF3から成るフリップフロップ回路72を通過する。位相比較器32の出力がこの状態で安定し、所定期間その状態を継続すると、すべてのフリップフロップFF1～FF3の出力が“H”になるので、ANDゲート73の出力が“H”になり、位相ロック信号LOCKが出力される。内部クロック信号ICLKを使用する各機能ブロックは、この位相ロック信号を検出すると、その動作を開始する。

【0007】

【発明が解決しようとする課題】上記位相ロック信号生成部を有する従来のPLL回路では、基準クロック信号

RCLKと内部クロック信号ICKの同期が一定期間継続して始めて、安定な内部クロック信号ICKが得られたものとして、位相ロック信号LOCKを出力している。

【0008】ところで、内部クロック信号ICKは、生成された集積回路以外に他の集積回路で 사용되는ことも多くあり、この場合、内部クロック信号は、複数の集積回路にまたがる長い亘長を有する。このような長い亘長のクロック信号配線では、往々にして他の系統のクロック信号配線等からのノイズによって影響を受け、これに起因して、内部クロック信号の立ち上がりが遅れる等の信号誤りが発生することがある。この場合、実際はPLL回路では正常な同期を維持しているのに、位相比較器32の出力のみに位相同期外れが発生する。このような同期はずれは、電源電圧の変動によっても生ずる。

【0009】位相比較器の出力が一瞬でも同期はずれを示すと、位相ロック信号生成部38は、位相ロック信号LOCKを一旦解除し、その後一定の期間安定な位相同期が継続した後に再び位相ロック信号を発生する。この期間中は、実際は安定な内部クロック信号ICKが生成されているのにも拘わらず、各機能ブロックは、その動作を停止して位相ロック信号の発生を待つことになる。この機能ブロックの停止期間中は、集積回路では信号処理が進行せず、信号処理のスループットが低下する。

【0010】本発明は、上記に鑑み、PLL回路が正常な同期を継続していれば、ノイズ等によって位相比較器の出力に短時間の信号誤りが発生しても位相ロック信号を解除することがないため、機能ブロックの動作を長い時間停止させることがなく、機能ブロックにおける信号処理のスループットを低下させないPLL回路を提供することを目的とする。

【0011】

【課題を解決するための手段】前記目的を達成するため、本発明のPLL回路は、基準周波数を有する基準クロック信号に基づいて、前記基準周波数と所定の比率関係にある周波数を有する内部クロック信号を生成するPLL回路において、前記基準クロック信号の位相と、前記内部クロック信号又は該内部クロック信号と同期する比較クロック信号の位相とを所定の時間間隔毎に比較し、双方の位相が一致すると位相一致信号を発生すると共に、双方の位相にずれを検出すると位相ずれ信号を発生する位相ずれ検出部と、前記位相一致信号にตอบสนองして位相ロック信号を発生し、前記位相ずれ信号が複数回連続して発生すると前記位相ロック信号を解除する位相ロック信号発生手段とを備えることを特徴とする。

【0012】本発明のPLL回路では、位相ずれが複数回連続して発生しなければ位相ロック信号を解除しないので、集積回路に無害な単なるノイズによって機能ブロックの信号処理が停止する不具合が防止できる。

【0013】ここで、前記位相ロック信号発生手段は、位相一致信号が発生した後に所定の時間が経過した後に位相ロック信号を発生することが好ましい。この場合、電源投入後等に一旦位相同期が発生しても、その後のリバウンドで位相同期が外れることによって、機能ブロックの動作に生ずる不具合が防止できる。

【0014】また、前記位相ずれ検出部は、所定周期間隔でアクティブになる複数の位相ずれ検出用クロック信号に基づいて、前記連続する複数回の位相ずれを検出することが好ましい。複数回の連続する位相ずれの発生を漏れなく検出することが出来る。

【0015】更に、前記所定周期間隔は、基準クロック信号又は内部クロック信号のクロック周期に基づいて定められることが好ましい。この場合、他のクロック信号を用いることによる回路の複雑化が避けられる。

【0016】

【発明の実施の形態】図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図1は、本発明の一実施形態例のPLL回路の構成を示すブロック図である。本実施形態例のPLL回路は、内部クロック信号生成部10と、位相ロック信号生成部20とを有する。

【0017】内部クロック信号生成部10は、基準クロック信号RCLKの基準位相と比較クロック信号VCLKの位相とを比較してUP出力及びDOWN出力に“H”又は“L”の信号を出力する位相比較器11と、位相比較器11のUP出力を反転するインバータ12と、インバータ12の出力及びDOWN出力で夫々制御されるpチャンネルトランジスタ及びnチャンネルトランジスタを有するチャージポンプ13と、チャージポンプ13の出力の低域周波数成分を通過させる低域通過フィルタ(LPF)14と、低域通過フィルタ14からの出力で出力信号の周波数が制御される電圧制御発信器(VCO)15と、VCO15の出力信号を分周して比較クロック信号VCLKを生成して位相比較器11にフィードバックする分周回路16とを有する。VCO15の出力信号が内部クロック信号ICKとして集積回路内で利用される。なお、本実施形態例では、位相比較器のUP出力及びDOWN出力はいずれもアクティブハイの信号であって、UP出力がアクティブであればチャージポンプの出力電圧が上昇し、DOWN出力がアクティブであればチャージポンプの出力電圧は低下する。

【0018】位相ロック信号生成部20は、基準クロック信号RCLKと比較クロック信号VCLKの立下がり位相を比較してその位相ずれに対応する信号を発生する位相差信号生成部21と、位相差信号生成部21からの信号を処理し、所定数の位相ずれパルスをカウントする位相ずれ検出部22と、位相ずれ検出部22の出力によって制御され、位相ずれが0になった時点から所定時間が経過すると位相ロック信号LOCKを発生する待機時

間カウント部（ウェイトカウンタ部）23とを有する。位相差信号生成部21は、例えば論理回路の組合せから構成され、基準クロックの立ち下がり、比較クロックの立ち下がりとの間に時間差があると、その立ち下がりの時間のずれの間だけ立ち上がるパルスを生成する公知の回路である。

【0019】図2は、位相クロック信号生成部20の位相ずれ検出部22及び待機時間カウント部23の詳細を示す。位相ずれ検出部22は、位相差信号生成部21の出力を受けて所定時間以上の位相ずれの有無を判定する位相ずれ判定部221と、位相ずれの発生をカウントし、所定数以上の位相ずれが連続して発生すると、アクティブ（“H”）信号を出力する位相ずれ連続検出部222とから成る。位相ずれ判定部221は、位相差信号生成部21の出力をデータ入力、内部クロック信号ICLKをクロック入力とする第1及び第2のフリップフロップFF01、FF02を有する。

【0020】第1のフリップフロップFF01はデータ入力をクロック入力の立ち上がりで、第2のフリップフロップFF02はデータ入力をクロック入力の立ち下がり20で夫々ラッチして、その出力をNANDゲートNAND1に与える。NAND1の出力は、インバータINV1を介して位相ずれ連続検出部222に与えられる。位相ずれ検出部221は、位相差信号生成部21の出力パルスのパルス幅が内部クロック信号のクロック幅よりも大きいかな否かを検出し、所定以上の位相ずれが発生した場合にその旨のパルスを次段の連続位相ずれ検出部222に与える。このように、位相ずれ検出部221は、位相差信号生成部21が基準クロック信号RCLKと比較クロック信号VCLKの位相ずれを検出しても、これが30内部クロック信号のクロック幅より小さい僅かなずれであれば、これをカットする働きをする。つまり、このような僅かなずれをも全て検出すると回路動作が不安定になることから、これを除去しているのである。従って、そのような僅かなずれをも検出する必要がある場合には位相ずれ検出部221は不要であり、この場合には、位相差信号生成部21の出力は、直接連続位相検出部222に供給されることになる。

【0021】位相ずれ連続検出部222は、3つのフリップフロップFF03～FF05から構成されて基準クロック信号RCLKから4相の位相ずれ検出用クロック信号TCLK1～TCLK4を生成する位相ずれ検出用クロック信号生成部A1、並びに、夫々が2つのフリップフロップFF06、FF07及びANDゲートAND1から成り、対応する位相ずれ検出用クロック信号のアクティブ期間中に位相ずれを検出する4つの検出ブロックB1～B4からなる。位相ずれ連続検出部222は、位相ずれ検出部221で検出したパルスが2回連続して発生したパルスであるかな否か、つまり、ノイズに起因するものであるか、或いは、同期ずれが実際に発生したもの30

かを検出するために設けられる。

【0022】図3は、基準クロック信号RCLK及び位相ずれ検出用クロック信号TCLK1～TCLK4を示すタイミングチャートである。各位相ずれ検出用クロック信号は、基準クロック信号RCLKの連続する4クロック周期を1周期とし、基準クロックRCLKの1周期だけ順次にずれた周期で、基準クロックの2クロック周期の間にHレベルとなる信号である。各位相差検出信号TCLK1～TCLK4は、Hレベルでアクティブとなり、そのアクティブ期間中に2回連続して位相ずれが発生すると、対応する検出ブロックは位相ずれ連続検出信号を発生する。

【0023】図2に戻り、各検出ブロックB1～B4の検出出力は、ORゲートOR1に入力される。OR1の出力は、内部クロック信号ICLKをクロック入力とするフリップフロップFF08でラッチされ、位相ずれ検出部22の出力として待機時間カウント部23に与えられる。

【0024】待機時間カウント部23は、インバータINV2、多数個（例えば、13個）の連続接続されたフリップフロップFF09及びこれらから信号を受ける4個のANDゲートAND2～AND5から構成される。初段のフリップフロップには、基準クロック信号RCLKが入力され、次段以降のフリップフロップは、夫々、前段のフリップフロップの反転出力信号/Q（/は反転を示す）を受けて、次段のフリップフロップに自身の反転出力信号/Qを転送する。各フリップフロップには、位相ずれ検出部22の出力がINV2を介してリセット入力として与えられる。各フリップフロップFF09の信号Qは、各ANDゲートAND2～AND5で順次に論理和がとられ、全てのフリップフロップFの出力が“H”となった時点で位相ロック信号LOCKが“H”になり、位相ロック信号生成部20から出力される。

【0025】上記PLL回路の全体動作について説明する。図1において、電源が投入されると、内部クロック信号生成部10が動作し、基準クロック信号RCLKと比較クロック信号VCLKの位相が一致するようにフィードバック制御が行われ、内部クロック信号ICLKが基準クロック信号RCLKに同期する。これを受けて、位相ロック信号生成部20では、位相差信号生成部21の出力を受ける位相ずれ検出部22の出力が“H”になり、待機時間カウント部23が、基準クロック信号RCLKの所定数のクロックをカウントした後に、位相ロック信号LOCKを“H”レベルにする。この時、LOCK信号が解除されていないことに注目すべきである。これにより、一旦位相が同期した直後に発生するリバウンドによる同期外れが回避できる。

【0026】半導体装置内の各機能ブロックは、この位相ロック信号に応答して信号処理を開始する。その後、何らかの原因で内部クロック信号ICLKの同期はずれ

が生ずると、その旨が位相ずれ検出部22で検知され、待機時間カウント部23を介して位相ロック信号LOCK信号が解除される。この後、再び位相ロック信号が発生するまで、各機能ブロックはその動作を一時停止する。

【0027】図4は、位相ずれ検出部22内の信号を示すタイミングチャートである。基準クロック信号RCLKと分周器16の出力である比較クロック信号VCLKが示されており、VCLKの立ち上がり位相がRCLKの立ち上がり位相よりも遅れる例が示されている。同図及び図2を参照して位相ずれ検出部22の動作を説明する。

【0028】位相差信号生成部21の出力S1は、RCLKが“L”になった後に立ち上がり、VCLKが“L”になるまでの期間“H”を出力する。位相ずれ検出部22の位相ずれ判定回路221では、第1及び第2のフリップフロップFF01、FF02は、例えば2nsのクロックパルスを有する内部クロック信号ICLKの立ち上がり及び立ち下がりで夫々位相差信号生成部21の出力をラッチする。第1及び第2のフリップフロップFF01、FF02の出力S2-1、S2-2がいずれも“H”となる期間があると、位相ずれ判定部221では、内部クロック信号ICLKに単なる瞬間的ノイズではない位相ずれがあったものと判定し、INV1の出力S3を“H”とする。位相連続ずれ検出部222は、各検出ブロックB1～B4の1アクティブ期間中に、位相ずれが2回連続して発生した旨の信号が検知されると、同期はずれがあったものと判定する。

【0029】図4の例では、第1の検出ブロックB1に供給される位相差検出クロック信号TCLK1のアクティブ期間中に、INVの出力S3に2回の位相ずれを示す“H”が発生している。最初の位相ずれは、位相ずれ検出用クロックTCLK1を第1の検出ブロックB1のFF06でラッチすることで検出され、その出力S4を“H”にする。2回目の位相ずれは、FF06を経由してFF07で検出され、更にFF07の出力S5を“H”にする。これにより、AND1の出力S6は、“H”になる。フリップフロップFF08は、OR1を経由してこの“H”を受け、その出力S7を“H”として、INV2を経由して待機時間カウント部23の全てのフリップフロップFF09をリセットする。このため、位相ロック信号LOCKは、“L”となり、位相同期がはずれたことを各機能ブロックに伝える。

【0030】上記のように同期が外れると、その後ある期間が経過する迄、同期外れが継続する。待機時間カウント部23は、同期の回復を前提として、再び最初から基準クロック信号RCLKをカウントして、所定のカウント数(2¹³)の後に再び位相ロック信号LOCKを発生させる。この待機時間は、例えば、2¹³(40ns=320μs)である。電源投入直後等のように、基準クロッ

ク信号RCLKと内部クロック信号ICLKとの間で大きくずれていた位相が同期した直後には、一般に、この一旦同期した位相が再びずれるリバウンド現象が知られている。このようなリバウンド現象は一般には320μs以下であり、待機時間カウント部23は、このようなリバウンド現象が生じ得る時間の経過後に位相ロック信号LOCKを発生させ、無用な位相ロック信号LOCKの発生及びその解除を除いている。従って、リバウンドの収束が遅いPLL回路では、待機時間カウント部23によるカウント時間が長くなるように構成すればよく、リバウンドの収束が速いPLL回路では、逆に待機時間カウント部23によるカウント時間が短くなるように構成すればよい。

【0031】本実施形態例では、連続する2回の同期ずれの発生で位相ロック信号を解除する構成を採用している。従来は、本実施形態例とは異なり、単に1回の同期ずれを検出して位相ロック信号を解除していたので、内部クロック信号等に侵入するノイズで位相ロック信号が解除される例があった。このような場合には、実際には同期がとれていた内部クロック信号の周波数を変えるためにかえって位相同期が外れ、しかも、その後に内部クロック信号生成部10の機能に従って同期が回復しても、待機時間カウント部23がカウントアップするまでは位相ロック信号が発生しなかった。このため、内部クロック信号で動作する機能ブロックにおけるスループットが低下するという問題があった。本実施形態例では、ノイズそのものが連続して2回の同期ずれを発生させることは殆どあり得ないことに鑑み、上記のように連続する2回の位相ずれを検出して始めて位相ロック信号を解除するので、単にノイズに起因する位相ロック信号の解除が防止でき、機能ブロックにおけるスループットの低下が防止できる。

【0032】本実施形態例のPLL回路では、位相ずれ発生のパルスが所定間隔で2回連続して発生するまでは、一旦発生した位相ロック信号を解除せず、従って、信号ノイズ等に起因する瞬間的な位相ずれ信号では位相ロック信号の解除をしない。このため、PLL回路が正常な動作をしているにも拘わらず、位相ロック信号を解除して待機時間カウント部23によるカウントが完了する迄待つことによって生ずる機能ブロックの停止は避けられ、信号処理のスループットの低下が防止できる。従って、待機時間カウント部23によるカウント時間が長く設定されていればいるほど、すなわち、リバウンドの収束が遅いPLL回路ほど、その効果は顕著である。

【0033】本実施の形態においては、連続位相ずれ検出部222は、連続した2回の位相ずれを検出して位相ロック信号を解除しているが、これを連続3回や連続4回の位相ずれを検出するように構成してもよい。すなわち、位相ずれが何回連続して発生すればノイズではない本来の位相ずれであると判断するかは、発生が予測され

るノイズの質や、予想される位相ずれの特徴により決定すればよい。しかし、ノイズに起因する位相ずれ検出は通常1回限りであること、多数回の連続位相ずれを検出するよう構成するとそれだけ回路規模が大きくなることを鑑みれば、本実施の形態の如く2回が最適である。

【0034】なお、上記実施形態例では、基準クロック信号と比較クロック信号の位相を比較する例を挙げたが、これに代えて、基準クロック信号と内部クロック信号とを直接比較して位相ずれを検出してもよい。また、上記実施形態例では、4相の検出用クロック信号を採用した例を挙げたが、2回の連続する同期ずれが検出できれば、2相又は3相等の検出用クロック信号を採用してもよい。しかし、4相のクロック信号は、フリップフロップを利用して容易に形成できること、及び、連続する2回の同期ずれの発生を漏れなく検出できることから、特に好ましい。

【0035】

【発明の効果】以上説明したように、本発明のPLL回路によると、PLL回路が正常に動作している際に、信号ノイズに起因して位相ロック信号が解除される不具合が防止でき、信号処理のスループットの低下を防止できる。

【図面の簡単な説明】

【図1】本発明の一実施形態例のPLL回路のブロック図。

【図2】図1の位相ロック信号生成部の詳細を示すブロック図。

【図3】位相ずれ連続検出用クロック信号のタイミングチャート。

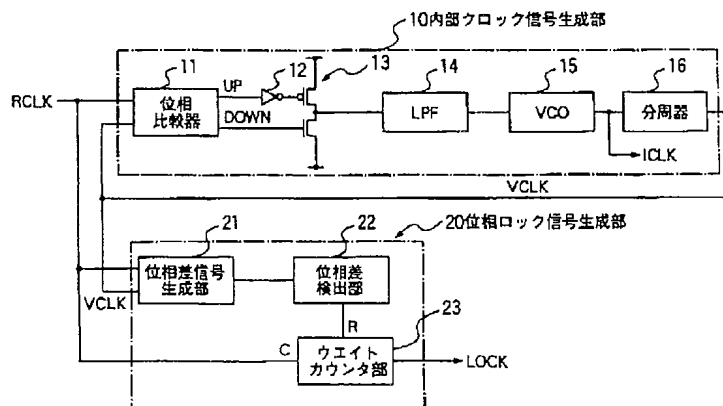
【図4】位相ずれ検出部の内部信号のタイミングチャート。

【図5】従来のPLL回路のブロック図。

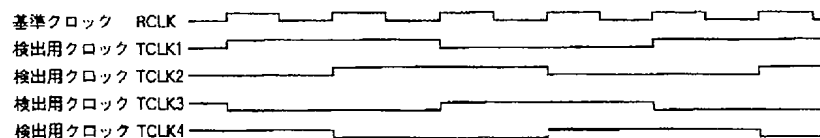
【符号の説明】

- 10：内部クロック信号生成部
- 11：位相比較器
- 12：インバータ
- 13：チャージポンプ
- 14：低域通過フィルタ（LPF）
- 15：電圧制御発信器（VCO）
- 16：分周器
- 20：位相ロック信号生成部
- 21：位相差信号生成部
- 22：位相ずれ検出部
- 221：位相ずれ判定部
- 222：位相ずれ連続検出部
- 23：待機時間カウント部
- RCLK：基準クロック信号
- VCLK：比較クロック信号
- ICLK：内部クロック信号
- TCLK1～TCLK4：位相ずれ検出用クロック信号
- FF01～FF09：フリップフロップ
- AND1～AND5：ANDゲート
- NAND1：NANDゲート
- OR1：ORゲート

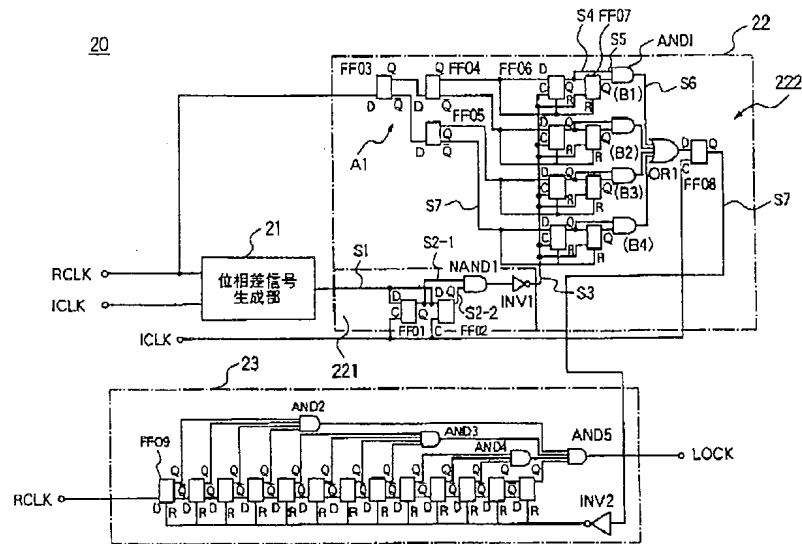
【図1】



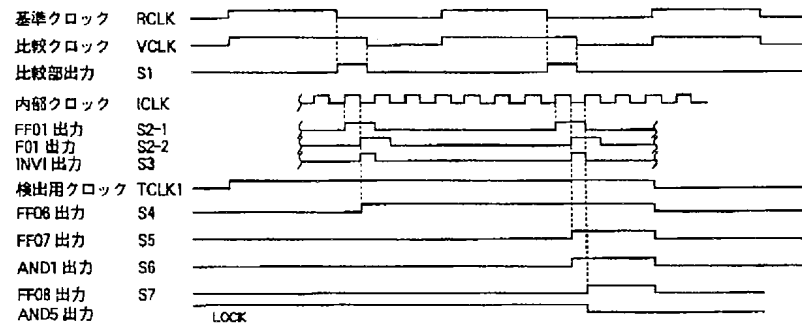
【図3】



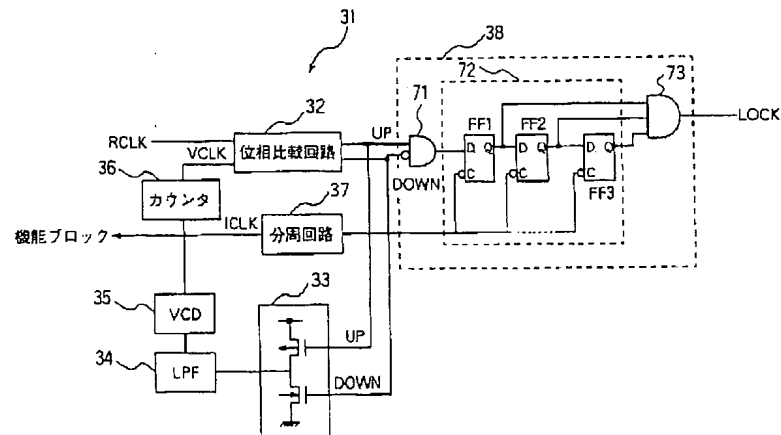
【図2】



【図4】



【図5】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-289253

(43)Date of publication of application : 19.10.1999

(51)Int.Cl. H03L 7/095

(21)Application number : 10-090146

(71)Applicant : NEC CORP

(22)Date of filing : 02.04.1998

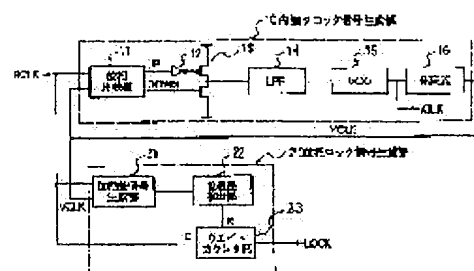
(72)Inventor : SUGANO HIROSHI

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the throughput of a function block from being reduced by preventing the release of an unnecessary phase lock signal due to a noise or the like.

SOLUTION: A phase lock signal generation part 20 includes a phase difference signal generation part 21 for generating a phase difference signal between a reference clock signal RCLK and an internal clock signal ICLK, a phase shift detection part 22 for generating a signal indicating the release of a phase lock signal LOCK when two phase shifts are continuously generated in the phase difference signal at a prescribed interval and a stand-by time counting part 23 controlled by an output from the detection part 22 so as to release the phase lock signal LOCK.



LEGAL STATUS

[Date of request for examination] 02.04.1998

[Date of sending the examiner's decision of rejection] 15.08.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3171162

[Date of registration] 23.03.2001

[Number of appeal against examiner's decision of rejection] 2000-14667

[Date of requesting appeal against examiner's decision of rejection] 14.09.2000

[Date of extinction of right]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the PLL circuit which generates the internal clock signal which has said reference frequency and the frequency which has a predetermined ratio relation based on the reference clock signal which has reference frequency If the phase of said reference clock signal is compared with the phase of the comparison clock signal which synchronizes with said internal clock signal or this internal clock signal for every predetermined time interval and both phases are in agreement, while generating a phase coincidence signal The phase shift detecting element which will generate a phase shift signal if a gap is detected to both phases, The PLL circuit characterized by having a phase lock signal generation means to cancel said phase lock signal if said phase coincidence signal is answered and a phase lock signal is generated, and said phase shift signal carries out multiple-times continuation and it generates.

[Claim 2] Said phase lock signal generation means is a PLL circuit according to claim 1 which will generate said phase lock signal if predetermined time amount passes after said phase coincidence signal occurs.

[Claim 3] Said phase shift detecting element is a PLL circuit according to claim 1 or 2 which detects the phase shift of said continuous multiple times based on two or more clock signals for phase shift detection which become active at intervals of a predetermined period.

[Claim 4] Said predetermined period spacing is a PLL circuit according to claim 3 appointed based on the clock period of said reference clock signal or an internal clock signal.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the structure of the phase lock signal generation section of a PLL circuit in more detail about a phase lock loop (PLL circuit).

[0002]

[Description of the Prior Art] A PLL circuit generates an internal clock signal with the frequency which synchronizes with the reference clock signal, and has reference frequency and a predetermined ratio relation from a reference clock signal with the reference frequency which is arranged at a semiconductor device and inputted from the outside. In a PLL circuit, if a power source is switched on, actuation will be started, and if the predetermined internal clock signal which the transient period expired and synchronized with the reference clock signal is acquired, the phase simulation signal (phase lock signal) which shows that will be generated. It is arranged in a semiconductor device, and each functional block using an internal clock signal starts signal processing by utilization of an internal clock signal, after receiving a phase lock signal.

[0003] Drawing 5 shows the conventional PLL circuit indicated by JP,8-316832,A. The phase of the reference clock signal RCLK which a PLL circuit is equipped with the internal clock signal generation section 31 and the phase lock signal generation section 38, and is inputted from the outside, If at least the phase of comparison clock signal VCLK generated in the internal clock signal generation section 30 is compared in the phase comparison circuit 32 and the phase contrast between the reference clock signal RCLK and the internal clock signal ICLK falls within a predetermined range The phase lock signal LOCK is generated in the phase lock signal generation section 38.

[0004] UP output and the DOWN output which are an output of the couple of the phase comparison circuit 32 are inputted into the charge pump circuit 33, and control the output potential of the charge pump circuit 33 by the internal clock signal generation section 31. The output of the charge pump circuit 33 is inputted into the armature-voltage control transmitter (VCO) 35 via a low pass filter (LPF) 34, and controls the frequency of the internal clock signal ICLK which is the output. The internal clock signal ICLK is counted with the counter 36 which has the predetermined set point, and the count result is fed back to a phase comparator 32 as said comparison clock signal. The set point of a counter 36 is defined by the ratio of reference frequency and the frequency of the internal clock signal ICLK, and makes the same value reference frequency and the frequency of comparison clock signal VCLK.

[0005] Immediately after supplying a power source to a PLL circuit, the reference clock signal RCLK and the internal clock signal ICLK are asynchronous, and a PLL circuit starts actuation towards a synchronization. If the standup phase RH of criteria periphery clock signal RCLK is compared with the standup phase VH of comparison clock signal VCLK and RH is progressing, all will set an output UP and an output DOWN to "L", and a phase comparator 32 will raise the output of the charge pump 33, and will raise the frequency of comparison clock signal VCLK. Moreover, if RH is behind, all will make an output UP and an output DOWN "H", the output of the charge pump 33 is lowered, and the frequency of comparison clock signal VCLK is lowered. Thus, synchronous operation is performed so that phase contrast of both signals may be set to 0. If both signals synchronize and phase contrast in the meantime is set to 0, an output UP is set to "H", it sets an output DOWN to "L", and a phase comparator 32 fixes the output of the charge pump 33 as it is. Thereby, both clock signal RCLK(s) and VCLK maintain a synchronization.

[0006] In the phase lock signal generation section 38, if the output UP of a phase comparator 32 sets it "H" and an output DOWN is set to "L", the output of the AND gate 71 will become "H" and it will pass through the flip-flop circuit 72 which consists of the flip-flops FF1-FF3 with which multistage cascaded the output. If the output of a phase comparator 32 is stabilized in this condition and continues that condition between place commuter's tickets, since the output of all the flip-flops FF1-FF3 will become "H", the output of the AND gate

73 becomes "H" and the phase lock signal LOCK is outputted. Each functional block which uses the internal clock signal ICLK will start that actuation, if this phase lock signal is detected.

[0007]

[Problem(s) to be Solved by the Invention] In the conventional PLL circuit which has the above-mentioned phase lock signal generation section, the synchronization of the reference clock signal RCLK and the internal clock signal ICLK carries out fixed period continuation, begins, and the phase lock signal LOCK is outputted as that from which the stable internal clock signal ICLK was acquired.

[0008] By the way, have also been mostly used by the internal clock signal ICLK with other integrated circuits in addition to the generated integrated circuit, and an internal clock signal has the long ** length over two or more integrated circuits in this case. in such long clock signal wiring of ** length, it is alike occasionally and carries out, and it may be influenced by the noise from clock signal wiring of other systems etc., it may originate in this, and a signal error, like the standup of an internal clock signal is overdue may occur In this case, a phase simulation blank occurs only in the output of a phase comparator 32 in practice in a PLL circuit maintaining the normal synchronization. A gap produces such a synchronization also by fluctuation of supply voltage.

[0009] If, as for a synchronization, the output of a phase comparator shows a gap also by the instant, after the phase lock signal generation section 38 once cancels the phase lock signal LOCK and fixed phase simulation stable during the period continues it after that, a phase lock signal will be generated again. In spite of generating the internal clock signal ICLK stable in practice during this period, each functional block will suspend that actuation and will wait for generating of a phase lock signal. During the halt period of this functional block, with an integrated circuit, signal processing does not advance but the throughput of signal processing falls.

[0010] In order that this invention may not cancel a phase lock signal even if a short-time signal error occurs in the output of a phase comparator by a noise etc. if the PLL circuit is continuing the normal synchronization in view of the above, the long thing to do for a time amount halt does not have it in actuation of functional block, and it aims at offering the PLL circuit in which the throughput of signal processing in functional block is not reduced.

[0011]

[Means for Solving the Problem] In order to attain said object, the PLL circuit of this invention In the PLL circuit which generates the internal clock signal which has said reference frequency and the frequency which has a predetermined ratio relation based on the reference clock signal which has reference frequency If the phase of said reference clock signal is compared with the phase of the comparison clock signal which synchronizes with said internal clock signal or this internal clock signal for every predetermined time interval and both phases are in agreement, while generating a phase coincidence signal It is characterized by having the phase shift detecting element which will generate a phase shift signal if a gap is detected to both phases, and a phase lock signal generation means to cancel said phase lock signal if said phase coincidence signal is answered and a phase lock signal is generated, and said phase shift signal carries out multiple-times continuation and it generates.

[0012] In the PLL circuit of this invention, since a phase lock signal is not canceled if a phase shift carries out multiple-times continuation and it does not generate, the nonconformity which signal processing of functional block stops by the mere noise harmless to an integrated circuit can be prevented.

[0013] Here, after a phase coincidence signal occurs and predetermined time amount passes, as for said phase lock signal generation means, it is desirable to generate a phase lock signal. In this case, even if phase simulation once occurs after powering on etc., when phase simulation separates on the subsequent rebound, the nonconformity produced in actuation of functional block can be prevented.

[0014] Moreover, as for said phase shift detecting element, it is desirable to detect the phase shift of said continuous multiple times based on two or more clock signals for phase shift detection which become active at intervals of a predetermined period. It cannot leak and generating of the phase shift which multiple times follow can be detected.

[0015] Furthermore, as for said predetermined period spacing, it is desirable to be set based on the clock period of a reference clock signal or an internal clock signal. In this case, complication of the circuit by using other clock signals is avoided.

[0016]

[Embodiment of the Invention] With reference to a drawing, this invention is further explained to a detail based on the example of an operation gestalt of this invention. Drawing 1 is the block diagram showing the configuration of the PLL circuit of the example of 1 operation gestalt of this invention. The PLL circuit of this example of an operation gestalt has the internal clock signal generation section 10 and the phase lock signal generation section 20.

[0017] The phase comparator 11 which the internal clock signal generation section 10 compares the criteria

phase of the reference clock signal RCLK with the phase of comparison clock signal VCLK, and outputs "H" or the signal of "L" to UP output and a DOWN output, The inverter 12 which reverses UP output of a phase comparator 11, and the charge pump 13 which has the p channel transistor and n channel transistor which are controlled by the output and DOWN output of an inverter 12, respectively, The low pass filter 14 which passes the low-pass frequency component of the output of the charge pump 13 (LPF), It has the armature-voltage control transmitter (VCO) 15 with which the frequency of an output signal is controlled by the output from a low pass filter 14, and the frequency divider 16 which carries out dividing of the output signal of VCO15, generates comparison clock signal VCLK, and is fed back to a phase comparator 11. The output signal of VCO15 is used within an integrated circuit as an internal clock signal ICLK. In addition, in this example of an operation gestalt, each of UP outputs of a phase comparator and DOWN outputs is high active signals, if UP output is active, the output voltage of a charge pump will rise, and if the DOWN output is active, the output voltage of a charge pump will decline.

[0018] The phase contrast signal generation section 21 which the phase lock signal generation section 20 compares the fall phase of the reference clock signal RCLK and comparison clock signal VCLK, and generates the signal corresponding to the phase shift, The phase shift detecting element 22 which processes the signal from the phase contrast signal generation section 21, and counts the phase shift pulse of a predetermined number, It is controlled by the output of the phase shift detecting element 22, and when predetermined time passes since the event of a phase shift being set to 0, it has the standby-time count area (weight counter section) 23 which generates the phase lock signal LOCK. When the phase contrast signal generation section 21 consists of combination of a logical circuit and time difference is between falling of a reference clock, and falling of a comparison clock, it is a well-known circuit which generates the pulse to which between the time lags of the falling starts.

[0019] Drawing 2 shows the detail of the phase shift detecting element 22 of the phase clock signal generation section 20, and the standby-time count area 23. the phase shift detecting element 22 consists of the phase shift judging section 221 which judges the existence of the phase shift beyond predetermined time in response to the output of the phase contrast signal generation section 21, and the phase shift continuation detecting element 222 which will output an active ("H — ") signal if generating of a phase shift is counted and the phase shift more than a predetermined number occurs continuously. The phase shift judging section 221 has the 1st and 2nd flip-flops FF01 and FF02 which make clocked into a data input and the internal clock signal ICLK for the output of the phase contrast signal generation section 21.

[0020] The 1st flip-flop FF 01 is the standup of clocked into about a data input, and the 2nd flip-flop FF 02 latches a data input in falling of clocked into, respectively, and it gives the output to NAND gate NAND1. The output of NAND1 is given to the phase shift continuation detecting element 222 through an inverter INV1. It detects whether the phase shift detecting element 221 has the pulse width of the output pulse of the phase contrast signal generation section 21 larger than the clock width of face of an internal clock signal, and when the phase shift more than predetermined occurs, a pulse to that effect is given to the continuation phase shift detecting element 222 of the next step. Thus, the phase shift detecting element 221 will serve to cut this, if this is a slight gap smaller than the clock width of face of an internal clock signal even if the phase contrast signal generation section 21 detects the phase shift of the reference clock signal RCLK and comparison clock signal VCLK. That is, if such all slight gaps are also detected, since circuit actuation will become instability, this has been removed. Therefore, when such a slight gap also needs to be detected, the phase shift detecting element 221 is unnecessary, and the output of the phase contrast signal generation section 21 will be supplied to the direct continuation phase detecting element 222 in this case.

[0021] The phase shift continuation detecting element 222 in the clock signal generation section A1 for phase shift detection and the list which consist of three flip-flops FF03-FF05, and generate the clock signals TCLK1-TCLK4 for phase shift detection of four phases from the reference clock signal RCLK Each consists of two flip-flops FF06 and FF07 and AND-gate AND1, and consists of four detection blocks B1 - B4 which detect a phase shift during the active period of the corresponding clock signal for phase shift detection. The phase shift continuation detecting element 222 is formed in order that whether it being a thing resulting from whether the pulse detected by the phase shift detecting element 221 being a pulse generated twice continuously and a noise that is, and a synchronous gap may detect whether it is what was generated actually.

[0022] Drawing 3 is a timing chart which shows the reference clock signal RCLK and the clock signals TCLK1-TCLK4 for phase shift detection. The clock signal for Gentlemen phase gap detection makes one period 4 clock periods which the reference clock signal RCLK follows, and it is the period from which only one period of reference clock RCLK shifted one by one, and it is a signal which serves as H level among 2 clock periods of a reference clock. If the Gentlemen phase reference detecting signals TCLK1-TCLK4 become active on H level and a phase shift occurs [be / twice / it / under / active period / continuation], a corresponding detection

block will generate a phase shift continuation detecting signal.

[0023] The detection output of return, each detection block B1 – B4 is inputted into drawing 2 at OR-gate OR1. The output of OR1 is latched with the flip-flop FF 08 which makes the internal clock signal ICLK clocked into, and is given to the standby-time count area 23 as an output of the phase shift detecting element 22.

[0024] The standby-time count area 23 consists of the four AND gates AND2-AND5 which receive these to an inverter INV2, the flip-flop FF 09 which cascaded a large number (for example, 13 pieces), and a signal. The reference clock signal RCLK is inputted into the flip-flop of the first rank, and, as for the flip-flop after the next step, own reversal output signal / Q are transmitted to the flip-flop of the next step in response to the reversal output signal / Q of the flip-flop of the preceding paragraph (/ shows reversal), respectively. The output of the phase shift detecting element 22 is given to each flip-flop as reset input through INV2. An OR is taken one by one in each AND gates AND2-AND5, when the output of all the flip-flops F serves as "H", the phase lock signal LOCK becomes "H", and the signal Q of each flip-flop FF 09 is outputted from the phase lock signal generation section 20.

[0025] Actuation by the above-mentioned whole PLL circuit is explained. In drawing 1, if a power source is switched on, the internal clock signal generation section 10 operates, feedback control is performed so that the phase of the reference clock signal RCLK and comparison clock signal VCLK may be in agreement, and the internal clock signal ICOK synchronizes with the reference clock signal RCLK. The output of the phase shift detecting element 22 which, in response, undergoes the output of the phase contrast signal generation section 21 in the phase lock signal generation section 20 becomes "H", and the standby-time count area 23 makes the phase lock signal LOCK "H" level, after counting the clock of the predetermined number of the reference clock signal RCLK. At this time, it should note that the LOCK signal is not canceled. Step-out [by the rebound which this generates immediately after a phase once synchronizes] is avoidable.

[0026] Each functional block in a semiconductor device answers this phase lock signal, and starts signal processing. Then, if a gap produces the synchronization of the internal clock signal ICLK by a certain cause, that will be detected by the phase shift detecting element 22, and a phase lock signal LOCK signal will be canceled through the standby-time count area 23. Then, each functional block suspends that actuation until a phase lock signal occurs again.

[0027] Drawing 4 is a timing chart which shows the signal in the phase shift detecting element 22. Comparison clock signal VCLK which is the output of the reference clock signal RCLK and a counting-down circuit 16 is shown, and the example which is behind [the falling phase of RCLK] in the falling phase of VCLK is shown. With reference to this drawing and drawing 2, actuation of the phase shift detecting element 22 is explained.

[0028] The output S1 of the phase contrast signal generation section 21 starts, after RCLK is set to "L", and it outputs period "H" until VCLK is set to "L." In the phase shift judging circuit 221 of the phase shift detecting element 22, the 1st and 2nd flip-flops FF01 and FF02 latch the output of the phase contrast signal generation section 21, respectively in the standup and falling of the internal clock signal ICLK which have a clock pulse for 2ns. Output S2-1 of the 1st and 2nd flip-flops FF01 and FF02 and S2-2 judge with a thing with the phase shift they are not [phase shift] mere momentary noises in the phase shift judging section 221 at the internal clock signal ICLK if all have a period used as "H", and they make the output S3 of INV1 "H". The phase continuation gap detecting element 222 will judge a synchronization to be a thing with a gap, if the signal of the purport which the phase shift continued twice and was generated during 1 active period of each detection block B1 – B4 is detected.

[0029] In the example of drawing 4, "H" which shows 2 times of phase shifts to the output S3 of INV during the active period of the phase contrast detection clock signal TCLK1 supplied to the 1st detection block B1 has occurred. The first phase shift is detected by latching the clock TCLK1 for phase shift detection by FF06 of the 1st detection block B1, and makes the output S4 "H". The 2nd phase shift is detected by FF07 via FF06, and makes the output S5 of FF07 "H" further. Thereby, the output S6 of AND1 becomes "H". A flip-flop FF 08 receives this "H" via OR1, and resets all the flip-flops FF 09 of the standby-time count area 23 via INV2 by making that output S7 into "H". For this reason, the phase lock signal LOCK is set to "L", and what phase simulation separated from is told to each functional block.

[0030] If a synchronization separates as mentioned above, step-out will continue until a certain period passes after that. The standby-time count area 23 counts the reference clock signal RCLK from the beginning again on the assumption that recovery of a synchronization, and it generates the phase lock signal LOCK again after the predetermined number of counts (213). This standby time is 213 (it is 40ns = 320 microseconds.). Immediately after the phase greatly shifted between the reference clock signal RCLK and the internal clock signal ICLK synchronizes like immediately after powering on, generally the rebound event from which this phase that once synchronized shifts again is known. Generally such a rebound phenomenon is 320 or less microseconds, and the standby-time count area 23 generates the phase lock signal LOCK after the passage of time which such a

rebound phenomenon may produce, and is removing generating and its discharge of the unnecessary phase lock signal LOCK. Therefore, what is necessary is just to constitute from a PLL circuit where convergence of rebound is quick in the PLL circuit where convergence of rebound is slow, that what is necessary is just to constitute so that the count time amount by the standby-time count area 23 may become long, so that the count time amount by the standby-time count area 23 may become short at reverse.

[0031] In this example of an operation gestalt, the continuous configuration of which a phase lock signal is canceled by generating of two synchronous gaps is adopted. Since one synchronous gap was only detected and the phase lock signal was conventionally canceled unlike this example of an operation gestalt, there was an example of which a phase lock signal is canceled in the noise which invades into an internal clock signal etc. In such a case, in order to change the frequency of the internal clock signal which had taken the synchronization actually, phase simulation separated on the contrary, and moreover, even if the synchronization was recovered according to the function of the internal clock signal generation section 10 after that, a phase lock signal did not occur until the standby-time count area 23 counted up. For this reason, there was a problem that the throughput put in functional block which operates by the internal clock signal fell. In this example of an operation gestalt, since that the noise itself generates two synchronous gaps continuously detects and begins 2 times of the phase shifts which continue as mentioned above in view of being hardly and a phase lock signal is canceled, discharge of the phase lock signal which only originates in a noise can be prevented, and lowering of the throughput put in functional block can be prevented.

[0032] By the momentary phase shift signal which does not cancel the once generated phase lock signal, therefore originates in a signal noise etc., a phase lock signal is not canceled until the pulse of phase shift generating occurs continuously twice at intervals of predetermined in the PLL circuit of this example of an operation gestalt. For this reason, although the PLL circuit is carrying out normal actuation, a halt of functional block produced by waiting until it cancels a phase lock signal and the count by the standby-time count area 23 is completed is avoided, and can prevent lowering of the throughput of signal processing. Therefore, as the count time amount by the standby-time count area 23 is set up for a long time, the effectiveness is as more remarkable as the PLL circuit where convergence of rebound is slow.

[0033] In the gestalt of this operation, although the continuation phase shift detecting element 222 detected 2 times of the continuous phase shifts and has canceled the phase lock signal, it may constitute this so that the phase shift of three continuation and four continuation may be detected. Namely, it should just determine whether if a phase shift occurs continuously how many times, it will be judged that it is the original phase shift which is not a noise by the quality of the noise generating is predicted to be, and the description of a phase shift expected. However, if the phase shift detection resulting from a noise is constituted so that it may restrict once, it may usually come out and a certain thing and many continuation phase shifts may be detected and an example will be taken [that circuit magnitude becomes large so much and], its 2 times are the optimal like the gestalt of this operation.

[0034] In addition, although the example which compares the phase of a reference clock signal and a comparison clock signal was given in the above-mentioned example of an operation gestalt, it replaces with this, a reference clock signal is directly compared with an internal clock signal, and a phase shift may be detected. Moreover, although the example which adopted the clock signal for detection of four phases was given in the above-mentioned example of an operation gestalt, as long as two continuous synchronous gaps are detectable, clock signals for detection, such as two phases or a three phase circuit, may be adopted. However, the clock signal of four phases is especially desirable from that it can form easily using a flip-flop, and the continuous thing for which it does not leak and generating of two synchronous gaps can be detected.

[0035]

[Effect of the Invention] As explained above, when the PLL circuit is operating normally according to the PLL circuit of this invention, the nonconformity of which it originates in a signal noise and a phase lock signal is canceled can be prevented, and lowering of the throughput of signal processing can be prevented.

[Translation done.]

* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the PLL circuit of the example of 1 operation gestalt of this invention.

[Drawing 2] The block diagram showing the detail of the phase lock signal generation section of drawing 1 .

[Drawing 3] The timing chart of the clock signal for phase shift continuation detection.

[Drawing 4] The timing chart of the internal signal of a phase shift detecting element.

[Drawing 5] The block diagram of the conventional PLL circuit.

[Description of Notations]

10: Internal clock signal generation section

11: Phase comparator

12: Inverter

13: Charge pump

14: Low pass filter (LPF)

15: Armature-voltage control transmitter (VCO)

16: Counting-down circuit

20: Phase lock signal generation section

21: Phase contrast signal generation section

22: Phase shift detecting element

221: Phase shift judging section

222: Phase shift continuation detecting element

23: Standby-time count area

RCLK: Reference clock signal

VCLK: Comparison clock signal

ICLK: Internal clock signal

TCLK1-TCLK4: The clock signal for phase shift detection

FF01-FF09: Flip-flop

AND1-AND5: AND gate

NAND1: NAND gate

OR1: OR gate

[Translation done.]